

单片集成 CMOS 光接收前端电路设计

刘帅锋^{1,2}, 梁远军^{1,2}, 李 磊¹

(1 中国科学院 深圳先进技术研究院, 广东 深圳 518055; 2 中国科学院 微电子研究所, 北京 100029)

摘 要: 文中采用 SMIC 0.18 μm CMOS 工艺设计了适用于芯片间光互连的接收机前端放大电路, 将跨阻放大器(TIA)和限幅放大器(LA)集成于同一块芯片中。跨阻放大器采用调制型共源共栅(RGC)结构来提高其带宽, 限幅放大器采用二阶有源反馈结构和有源电感负载来获得高的增益带宽积。整个接收机前端放大电路具有 85dB 中频增益, -3dB 带宽为 4.36GHz。芯片的面积为 1mm $\times$ 0.7mm, 在 1.8V 电源电压下功耗为 144mW。

关键词: 跨阻放大器; 限幅放大器; 二阶有源反馈; 有源电感

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2011)03-0099-04

Design of Monolithic CMOS Optical Receiver Front-End Circuit

LIU Shuai-feng^{1,2}, LIANG Yuan-jun^{1,2}, LI Lei¹

(1 Shenzhen Institute of Advanced Integration Technology, Chinese Academy of Sciences, Shenzhen 518055, China;
2 Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: An optical receiver front-end circuit suitable for optical connect system was designed in a SMIC 0.18 μm CMOS process. The transimpedance amplifier (TIA) and limiting amplifier (LA) are integrated in one chip. TIA uses regulated cascode (RGC) to boost bandwidth. LA uses second-order active feedback architecture and active inductor loads to improve the gain-bandwidth product (GBW). The circuit provides an overall gain of 85dB with a bandwidth of 4.36 GHz. The chip dissipates 144mW from a 1.8V supply with its area of 1.0 $\times$ 0.7mm².

Key words: transimpedance amplifier; limiting amplifier; second-order active feedback; active inductor

1 引言

随着 VLSI 系统的发展, 集成电路器件尺寸不断减小、工作频率也不断提高。传统的电互连在带宽、互连密度、时钟歪斜和抗干扰等方面产生限制, 被称为“电子瓶颈”, 采用光互连技术可以很好地解决这一“瓶颈”。

光互连系统中的接口芯片对于整个系统的性能影响很大, 它包含发送部分的激光驱动电路和接收部分的前端放大电路, 其中接收前端电路的设计很复杂, 也是研究的热点。目前, 5Gb/s、10Gb/s 速率级的光接收电路主要采用双极型硅工艺和化合物半导体工艺。采用 CMOS 设计这个速率级别的芯片对于降低成本, 增加集成度具有重要意义。

图 1 是一个光接收前端电路的结构框图, 它由

跨阻放大器(TIA)、限幅放大器(LA)和单端—双端转换电路(SD)组成。

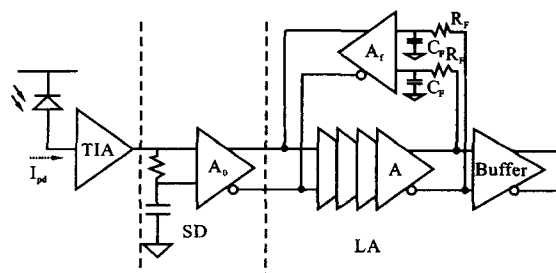


图 1 光接收前端放大电路组成

TIA 把来自于光电二极管(PD)的微弱光电流信号转换为具有一定强度的电压信号, LA 对来自 TIA 输出的信号进一步放大, 使其达到数字逻辑电平的要求并保持恒定。SD 将 TIA 输出的单端信号转换为差分信号送入 LA。LA 由若干级宽带放大单

元、失调补偿电路(Offset Cancellation)和输出缓冲电路(Buffer)组成. 本次设计要求电路能够对比特率是 5Gb/s 的宽动态范围(30~600 μ A)的光电流信号进行放大. TIA 的带宽需要达到 3.75GHz(比特率的 75%), LA 的带宽必须大于 5GHz, 整个电路的增益需要大于 80dB^[1].

2 前端电路的设计和仿真

2.1 TIA 的设计和仿真

TIA 完成电流—电压转换的功能并对信号提供一定程度的放大. 它位于光接收电路的最前端, 因此其性能直接影响整个接收系统的通信质量. TIA 的输入电容(包括 PD 等效电容、ESD 寄生电容和封装寄生电容等)很大, 大约为 1pF, 因此在输入端处形成一个很低的极点, 严重影响了电路的工作速度. 为了“屏蔽”输入电容对电路的影响, 在本次设计中采用 RGC 结构的跨阻放大器^[2-3], 电路如图 2 所示.

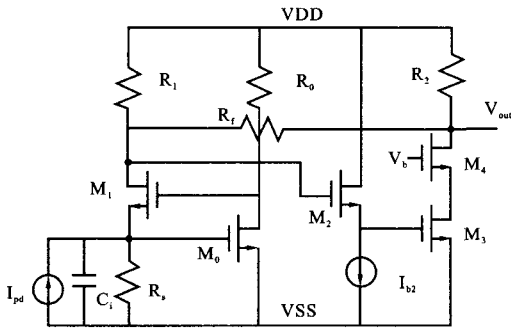


图 2 RGC 结构的 TIA

M_1 、 R_1 、 R_s 、 M_0 和 R_0 组成了 RGC 结构. M_1 、 R_1 支路是共栅极电路, 它的直流偏置由 M_0 和 R_0 组成的共源放大器确定. 对于 M_1 、 R_1 支路来说, 电路的输入输出之间存在电流并联负反馈, 因此其直流偏置十分稳定, 并且电路的等效输入电阻($Z_{in} = 1/g_{m1}(1 + g_{m0}R_0)$)很小. 这么小的输入电阻屏蔽了输入电容的作用, 使得 TIA 的主极点由原来的输入端转移到 M_1 管的漏极. M_2 和 I_{b2} 构成源极跟随器, 提供电平移位的功能, 同时也可以避免下一级电路对 RGC 的输出造成大的电容负载效应. M_3 、 M_4 和 R_2 组成共源共栅放大器, 反馈电阻 R_f 跨接在 RGC 输出和共源共栅放大器输出之间. 采用共源共栅放大器可以提高放大器的增益, 同时也可以减弱栅漏电容的米勒效应.

TIA 的跨阻增益为:

$$A_f = -\alpha_2 g_{m3} R_2 \times (R_1 \parallel \frac{R_f}{1 + \alpha_2 g_{m3} R_2}) \approx R_f \quad (1)$$

式中 α_2 是源极跟随器的增益. 整个跨阻放大器的一 3dB 带宽可以近似用式(2)表示:

$$f_{-3dB} \approx \frac{1}{2\pi R_f [C_f + \frac{C_{gd1} + C_{gd2}}{1 + \alpha_2 g_{m3} R_2}]} \quad (2)$$

其中, C_{gd1} 和 C_{gd2} 分别是 M_1 和 M_2 的栅漏电容, C_f 是反馈电阻的寄生电容.

从上面的式子可以看出 TIA 的带宽会随着共源共栅放大器增益($g_{m3}R_2$)的增大而提高, 但是最终将受 $R_f C_f$ 的限制, 另外电压增益的无限提高会带来稳定性的问题. 合理设计电路参数可以使电路满足设计要求. 从图 3 可以看出, TIA 的一 3 dB 带宽为 4.73GHz, 增益为 47.6dB.

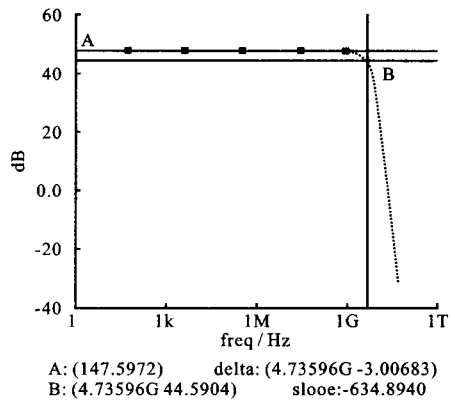


图 3 TIA 幅频特性

该电路结构的噪声特性与频率有关, 在低频段的主要噪声源是 R_s 、 R_1 和 R_f 的热噪声, 高频段噪声的主要贡献来自于输入端电容的作用. 为了减少高频噪声, 需要适当增大输入管的跨导.

2.2 单端—双端转换电路

TIA 是单端输出而 LA 是双端输入的, 因此两者之间需要通过一个单端—双端转换电路来连接.

图 4 中电容 C 在低频时阻抗很大, 相当于开路, 因此 M_1 和 M_2 的栅极具有相同的偏置电压. 高频时 C 相当于短路接地, 交流信号加在 M_1 管栅极, 经 M_1 转化为电流信号. 电流信号经两条通路达到输出: 一路流经 R_1 , 形成 V_{out+} ; 另一路经 M_2 、 R_2 , 形成 V_{out-} . V_{out+} 和 V_{out-} 之间有 180° 相位差, 由此实现单端输入, 双端输出.

2.3 LA 电路设计

LA 电路由四级宽带放大单元、失调补偿电路和输出缓冲电路组成. 宽带放大单元采用差分结构, 其非线性工作的特点被用来实现限幅的功能. 在工艺过程中存在因器件不匹配产生的直流失调, 由于电路增益很大, 前级差分单元的直流失调会被逐级放大, 导

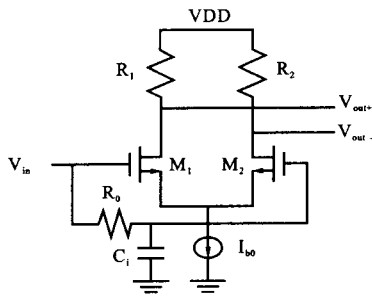


图4 单端-双端转换电路

致后级电路直流工作点存在大的偏移,甚至会导致最后一级电路的输出直流电压达到幅度极限,从而使LA失去限幅功能。因此,需要失调补偿电路来减小直流失调,稳定直流工作点。输出缓冲级是为了驱动片外的50Ω传输线负载,实现阻抗匹配。

2.3.1 宽带放大单元的设计

本次设计中对LA增益和带宽的要求都很高。采用单级放大器无法同时满足这两方面的要求,必须采用多级放大器级联的形式。对于多个相同放大单元级联的LA,每一级的带宽 BW_c 和总的带宽 BW_{tot} 之间的关系可以表示为:

$$BW_{tot} = BW_c \sqrt{2^{\frac{1}{n}} - 1} \quad (3)$$

对于一阶系统, $m=2$;二阶系统 $m=4$, n 为放大器级数。合理确定放大器的级数对设计LA非常重要。级数取得少,则在给定的增益下达到要求的带宽很困难;级数取得多,则由于每一级增益很小,导致输入等效噪声增大。在这里取 $n=4$,那么对于增益35dB,带宽5GHz的LA,每一级的增益要达到8.75dB,带宽需要8GHz。在设计时要考虑工艺偏差,将指标取得稍微大一点。

图5是设计的LA宽带放大单元,此电路是一个二阶系统^[4,5]。图中三个差分对(M_1-M_2 , M_3-M_4 , M_5-M_6)的跨导分别记为 g_{m1} , g_{m2} , g_{m3} , M_1 和 M_3 的漏极寄生电容为 C_1 和 C_2 。考虑第二级负载为电阻 R_2 的情况下,电路的传输函数可以表示为

$$A(s) = \frac{A_s \omega_n^2}{s^2 + 2\xi \omega_n s + \omega_n^2} \quad (4)$$

其中:

$$A_s = \frac{g_{m1} g_{m2} R_1 R_2}{1 + g_{m1} g_{m2} R_1 R_2} \quad (5)$$

$$\xi = \frac{1}{2} \frac{R_1 C_1 + R_2 C_2}{\sqrt{R_1 R_2 C_1 C_2 (1 + g_{m1} g_{m2} R_1 R_2)}} \quad (6)$$

$$\omega_n = \sqrt{\frac{1 + g_{m1} g_{m2} R_1 R_2}{R_1 R_2 C_1 C_2}} \quad (7)$$

为了获得最大平坦巴特沃思响应, $\xi = 0.707$,

$\omega_{-3dB} = \omega_n$ 。可以得到:

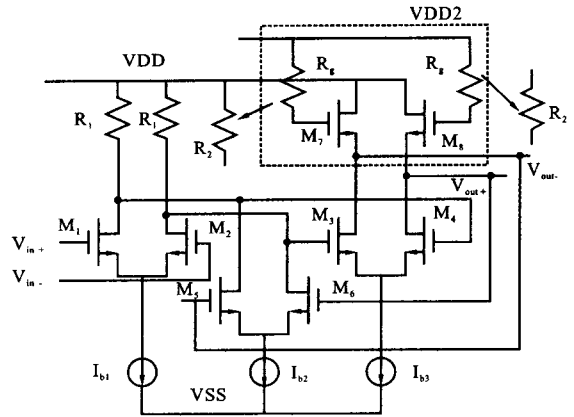


图5 LA的宽带放大单元

$$A_s \omega_{-3dB} = \frac{g_{m1} g_{m2}}{C_1 C_2} \frac{1}{\omega_{-3dB}} \quad (8)$$

为了进一步提高带宽,把第二级的电阻负载用有源电感代替(如图中虚线框所示)^[6,7]。 M_{7-8} 源极看进去的阻抗在低频段为 $1/g_m$,在高频段为 R_2 ,只要保证 $1/g_m < R_2$,则可以看出等效电阻随着频率的增加而增大,表现出电感的特性。可以计算出有源电感的值

$$L = \frac{C_{gs}}{g_m} (R_2 - \frac{1}{g_m}) \quad (9)$$

增大 R_2 的值,减小 M_{7-8} 管的尺寸可以增大等效电感值。有源电感占用很小的面积却能够提供较大的电感,缺点是它消耗较多的电源余度,在1.8V电源电压下不得不采用额外的电源给其提供一个直流电位。

2.3.2 失调补偿电路和输出buffer

从图1可以看出,失调补偿电路由 $R_F C_F$ 低通滤波器和反馈放大器 A_f 组成,其拐角频率为:

$$f_c = \frac{1 + A \cdot A_f / 2}{2\pi R_F C_F} \quad (10)$$

A 是限幅放大器的增益, A_f 是反馈放大器的增益。拐角频率要求很低,一般标准要求在100kHz左右。设 $A_f \approx 0$ dB,则要求 R_F 和 C_F 的值很大。在集成电路中使用大电容和大电阻要占用很大的芯片面积。为了减小芯片面积,选用高阻Poly电阻,并用MOS电容作为滤波电容。

输出buffer与LA的最后一级相连^[8],用于驱动标准的50Ω片外负载。为了实现阻抗匹配,buffer的负载电阻也要求是50Ω。然而输出摆幅的要求是恒定的,这样buffer电路的工作电流很大。为此可适当增大负载电阻的值,这里取75Ω。这样,一方面仍然能够实现较好的阻抗匹配,一方面可减小差分对尾管所需提供的电流,从而减小功耗。

带宽也是输出 buffer 的设计瓶颈,为了增大带宽,采用 f_T 倍增结构,它可以减小等效输入电容,从而增大带宽,缺点是电路要消耗较大的功耗。

3 接收电路的仿真结果

将 TIA、SD 和 LA 级联起来进行仿真,可以得到如图 6 和图 7 的仿真结果。

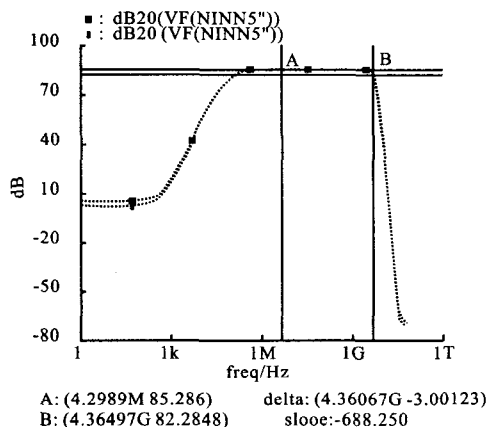


图 6 接收前端电路的幅频特性

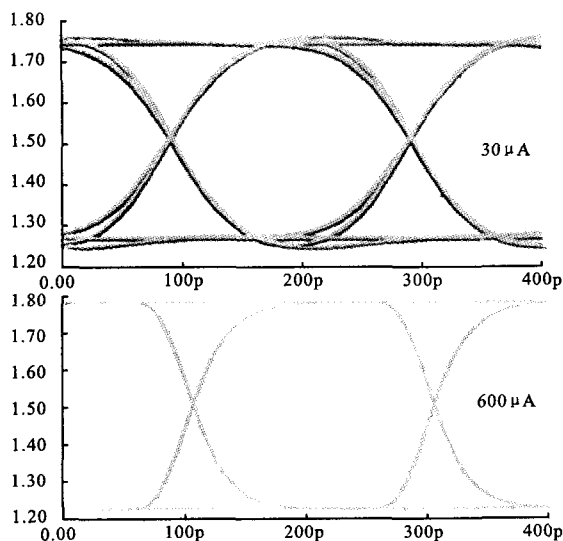


图 7 瞬态仿真眼图

从图 6 可以看出,光接收前端电路的整体增益可达 85dB,带宽达 4.36GHz,比设计的指标要高一些,拐角频率在 100kHz 附近,符合标准要求。

图 7 是输入伪随机电流是 $30\mu\text{A}$ 和 $600\mu\text{A}$ 时光接收前端放大电路输出眼图(未考虑外接 50Ω 片外负载)。可以看出,在规定的光电流范围内,电路的输出摆幅是恒定的 500mV。

4 测试结果

整个接收前端电路的版图如图 8 所示,图中标注了各部分对应的电路,整个芯片面积为 $1.0\text{mm} \times$

0.7mm 。

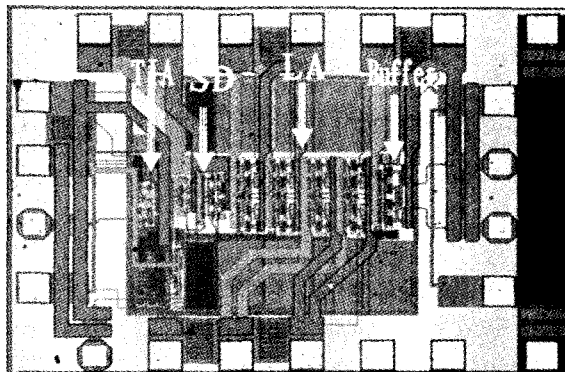


图 8 芯片照片

图 9 给出了输入伪随机信号分别是 2.5Gb/s 和 5Gb/s 时的输出眼图。

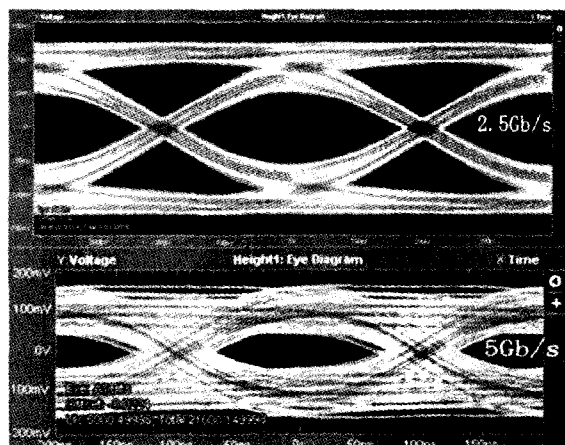


图 9 输出眼图

5 结束语

文中在 SMIC $0.18\mu\text{m}$ CMOS 工艺下采用调制型共源共栅、二阶有源反馈和有源电感等技术设计了 5Gb/s 的光接收前端放大电路,其性能指标得到了较好的满足。

参考文献:

- [1] Behazd R. Design of integrated circuits for optical communications[M]. New York: McGraw-Hill, 2003.
- [2] Park S M, Yoo H J. 1. 25Gb/s regulated cascade CMOS transimpedance amplifier for gigabit Ethernet applications [J]. IEEE J. Solid State Circuit, 2004,39(1):112-121.
- [3] 白涛,韩良. 5Gb/s 光接收前端放大电路的设计[J]. 微电子学与计算机, 2008,25(5):189-192.
- [4] Behzad R, Sherif Galal. 10-Gb/s limiting amplifier and laser/modulator driver in $0.18-\mu\text{m}$ CMOS technology[J]. IEEE J. Solid State Circuit, 2003,38(12):2138-2146.

(下转第 107 页)

只需要使用较少的消息数。但是,当查询中属性较多时,Ch_Ov_Net 的“一位差异”编码与索引技术能够更有效地利用覆盖网络链接,具有较少的消息数。

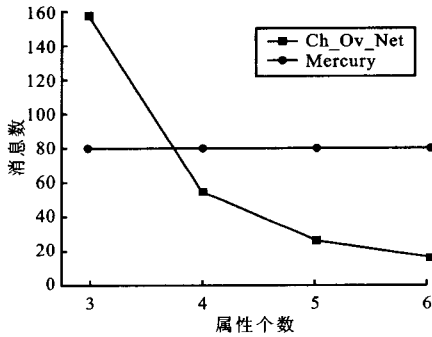


图4 消息数比较

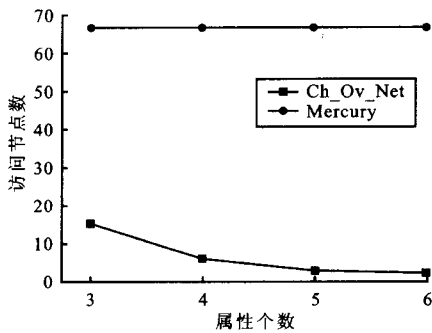


图5 访问节点数比较

5 结束语

文中介绍了一种基于 Chord 覆盖网络索引结构的多属性查询处理技术,由于系统实现了节点管理层和数据管理层之间的无缝结合,进而实现了相邻数据之间的快速路由,由此系统只需要对数据索引一次,即可提供对多属性进行查询多次,因此,系统的索引维护开销低。和现有利用覆盖网络的其它

多属性查询处理技术相比,该方法占用更少的带宽、访问更少的节点,并能获得更少的查询延迟。

参考文献:

- [1] 刘金岭. 基于 P2P 网络的 AVL 索引树范围查询研究[J]. 微电子学与计算机, 2011(2): 11-14.
- [2] Cai M, Frank M R, Chen J, et al. MAAN: A multi-tribute addressable network for grid information services [C]// Proceedings of the GRID 2003. Phoenix, Arizona, USA: IEEE, 2003: 184-191.
- [3] Bharambe A R, Agrawal M, Seshan S. Mercury: supporting scalable multi-attribute range queries[C]// Proceedings of the SIGCOMM 2004, Portland, OR, USA: Gite SeerX, 2004: 353-366.
- [4] Jagadish H V, Ooi B C, Vu Q H. BATON: A balanced tree structure for peer-to-peer networks[C]// Proceedings of the VLDB 2005. Trondheim, Norway: Gite SeerX, 2005: 661-672.
- [5] 张谢华. 对等网络 Chord 搜索路由算法的改进[J]. 微电子学与计算机, 2009, 26(12): 146-148.
- [6] 陈保平, 焦小炜. 基于 P2P 分布式多维平衡树的数据索引结构的复杂查询[J]. 河北省科学院学报, 2008, 25(3): 14-19.
- [7] 傅向华, 王志强, 明仲, 等. 主题覆盖网络的构造与搜索算法研究[J]. 计算机科学, 2007, 34(6): 103-107.
- [8] 成培, 胡峰松, 栗智. 基于 Chord 的结构化 P2P 路由改进算法[J]. 2009, 30(1): 63-65.
- [9] 周敏奇. 基于格雷码的结构化对等计算系统及其数据管理[D]. 上海: 复旦大学, 2008, 9: 97-98.

作者简介:

刘金岭 男, (1958-), 教授. 研究方向为数据库、数据仓库及数据挖掘。

(上接第 102 页)

- [5] Chen Weizen, Lin Dashin. A 90-dB 10-Gb/s optical receiver analog front-end in a 0.18- μm CMOS technology[J]. IEEE J. Solid State Circuit, 2007, 15(3): 358-364.
- [6] Eduard Sackinger, Wilhelm C. Fischer. A 3-GHz 32-dB limiting amplifier for SONET OC-48 receivers[J]. IEEE J. Solid State Circuit, 2000, 35(12): 1884-1888.
- [7] Mohan S S, Hersenson M, Boyd S P, et al. Bandwidth extension in CMOS with optimized on-chip inductors [J]. IEEE J. Solid State Circuit, 2000, 35(3): 346

-355.

- [8] 张家川, 刘伯安. 高速多电平 LVDS 收发器设计[J]. 微电子学与计算机, 2007, 24(4): 69-71.

作者简介:

刘帅锋 男, (1982-), 硕士. 研究方向为高速集成电路设计。

梁远军 男, (1982-), 博士. 研究方向为高速集成电路设计、系统级封装。